

Our ref. : 61691/00R00243/US/JTH

Comments from the applicant

Contents of prior art

JP-B2 6-46351

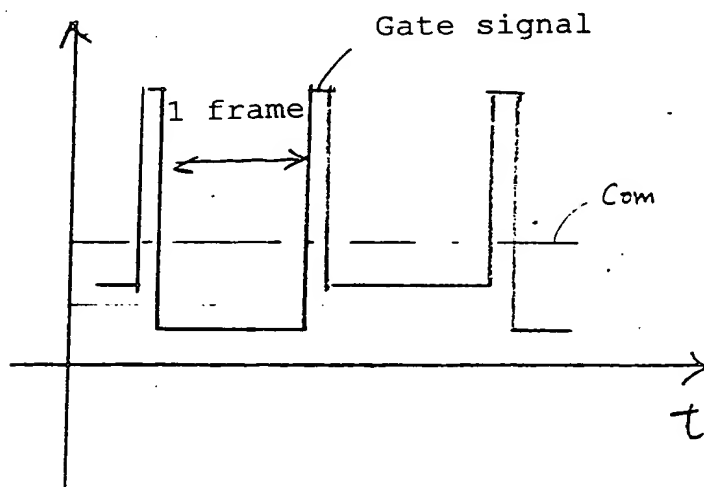
Object

In the Cs on Gate structure, when leakage occurs between the gate and the drain, by the pixel defect becoming not a bright point which is conspicuous but a black point, the rate of conforming articles is increased.

Structure

In the Cs on Gate structure, the potential of the gate signal in the period during which the transistor is nonconducting has at least two levels, and the level of the gate signal is switched every field.

Figure of the Prior Art



Partial Translation of JP-B2 6-46351

Publication Date: June 15, 1994
Application No. 59-250164
Application Date: November 27, 1984
Applicant: SEIKO EPSON CORP
Inventor: Satoru YAZAWA and Kenji KINJI

Part A (Page 1)

CLAIMS

[Claim 1] A method for driving an active-matrix liquid crystal display apparatus in which liquid crystal is sealed in between a pair of substrates, a plurality of gate lines and a plurality of signal lines are arranged in matrix form on one of the pair of the substrates, and pixels are arranged having transistors whose gates are connected to the gate lines at the intersections of the gate and signal lines and which are connected between the signal lines and the liquid crystal, characterized in that a gate signal applied to the gates of the transistors through the gate lines has a first period during which the transistors are conducting and a second period during which the transistors are nonconducting, the potential of the gate signal in the second period has at least two levels, and the level of the gate signal in the second period is switched every field.

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-46351

(24)(44)公告日 平成6年(1994)6月15日

(51)Int.Cl.⁵

G 0 9 G 3/36

識別記号

庁内整理番号

7319-5G

F I

技術表示箇所

発明の致2(全4頁)

(21)出願番号 特願昭59-250164

(22)出願日 昭和59年(1984)11月27日

(65)公開番号 特開昭61-128291

(43)公開日 昭和61年(1986)6月16日

(71)出願人 999999999

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 矢沢 悟

長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

(72)発明者 金児 健司

長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

審査官 片岡 栄一

(56)参考文献 特開 昭58-172692(JP, A)

(54)【発明の名称】 アクティブマトリクス型液晶表示装置の駆動方法

【特許請求の範囲】

【請求項1】 一对の基板間に液晶が封入され、前記一对の基板のうち一方の基板上に複数のゲートラインと複数の信号ラインがマトリクス状に配列され、当該配列の各交点部分で、該ゲートラインにゲートが接続され、該信号ラインと該液晶との間に接続されたトランジスタを有する画素を配置してなるアクティブマトリクス型液晶表示装置の駆動方法において、前記ゲートラインにより前記トランジスタのゲートに印加されるゲート信号は該トランジスタを導通状態にする第1の期間と非導通状態にする第2の期間を有し、該第2の期間の前記ゲート信号の電位は少なくとも2レベル以上あり、前記第2の期間の前記ゲート信号のレベルはフィールドごとに切り替えられることを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項2】 一对の基板間に液晶が封入され、前記一对の基板のうち一方の基板上に複数のゲートラインと複数の信号ラインがマトリクス状に配列され、当該配列の各交点部分で、該ゲートラインにゲートが接続され、該信号ラインと該液晶との間に接続されたトランジスタを有する画素を配置してなるアクティブマトリクス型液晶表示装置の駆動方法において、前記ゲートラインにより前記トランジスタのゲートに印加されるゲート信号は該トランジスタを導通状態にする第1の期間と非導通状態にする第2の期間を有し、該第2の期間の前記ゲート信号の電位は少なくとも2レベル以上あり、前記第2の期間の前記ゲート信号のレベルはフィールドごとに切り替えられ、前記第2の期間のゲート信号の電位の中で最も高い電位と最も低い電位の差は、前記液晶のスレッショールド電圧の2倍以上であることを特徴とするアクティ

ブマトリクス型液晶表示装置の駆動方法。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、アクティブマトリクス型液晶表示装置の駆動方法に関する。

【従来の技術】

従来は第2図に示すように、トランジスタのゲートラインに印加される信号がトランジスタを導通状態にする期間と非導通状態にする期間があり、非導通状態にする期間の電位が常に一定であるアクティブマトリクス型表示装置の駆動方法があった。

【発明が解決しようとする問題点】

更に、アクティブマトリクス型液晶表示装置の欠陥の中にトランジスタの不良を原因とする画素単位の欠陥すなわち点欠陥がある。欠陥のモードは大別して2種あり、それは画素上の液晶に電圧が常に加わらなくなり白表示となる白い点欠陥と、画素上の液晶に電圧が常時加わり黒表示となる黒い点欠陥である。黒い点欠陥の原因は、(i)トランジスタのショートモード不良と(ii)ソースラインと画素電極のパターン不良によるショートが主なものである。又白い点欠陥は、(iii)トランジスタのオープンモードの不良と(iv)静電気やパターン不良等でゲートとトランジスタのドレイン又はソースがショートした場合、ライン状に欠陥が出るので、この時にはトランジスタをソースラインと切り放してこのライン状欠陥を点欠陥に変える。この様な状態のもとで白い点欠陥が発生する場合がある。欠陥の量という点では、黒い点欠陥は(ii)のモード、白い点欠陥は、(iv)のモードで発生する割合が大きい。

前記黒い点欠陥と白い点欠陥とを比較すると、黒い点欠陥より白い点欠陥が目立ち易く、白い点欠陥では、一つでもあるとはっきりと見えるが、黒い点欠陥は、数個存ってもわからない程見た時の差がある。従って点欠陥のうちで最も目立ち易い白い点欠陥の中でも最も発生する割合の多い、前記(iv)のタイプ、すなわちゲートとドレイン(又はソース)とのショートであり、かつソースラインとトランジスタ部を切り離れた形の欠陥が白い点欠陥として目立たなくする事が出来れば、点欠陥を無くしたのと同等の価値がある。

第2図は、従来のゲートラインに加わる信号を、示したもので、Nチャンネルトランジスタを例に表している。ゲート信号はトランジスタのソースとドレインの間が導通状態になる期間2と非導通状態になる期間3に分ける事が出来る。非導通状態になる期間3は、各フィールド29、6で同電位である。第3図は、各画素の電気的な等価回路を示したもので、トランジスタ10がゲート線15とショートし、かつソースライン17と切り離された場合、画素11には、ゲート信号31が印加される。上側基板の電極16の電位は、第2図の8で表わされる。又ゲート信号31を実効値で表わすと30で示され

るので、絶縁膜12と液晶層13、14に印加される実効電圧は、第2図の8と30の差となる。この電圧が絶縁膜12と液晶層13、14で分割されるが、絶縁膜の抵抗値が液晶層の抵抗値より高くとっている為、液晶層には、ほとんど電圧が印加されず常時白い表示、すなわち白い点欠陥となってしまう非常に目立ち易い欠陥となっていた。また、トランジスタのゲートと、ソースまたはドレインがショートしてしまい、トランジスタのゲート電極にかかるはずの信号が、直接液晶にかかってしまう場合に、液晶に直流電圧がかかってしまうため、液晶が破壊されてしまうという欠陥があった。

【問題点を解決するための手段】

本発明は以上の問題点を解決するためのになされたものであり、

(1) 一対の基板間に液晶が封入され、前記一対の基板のうち一方の基板上に複数のゲートラインと複数の信号ラインがマトリクス状に配列され、当該配列の各交点部分で、該ゲートラインにゲートが接続され、該信号ラインと該液晶との間に接続されたトランジスタを有する画素を配置してなるアクティブマトリクス型液晶表示装置の駆動方法において、前記ゲートラインにより前記トランジスタのゲートに印加されるゲート信号は該トランジスタを導通状態にする第1の期間と非導通状態にする第2の期間を有し、該第2の期間の前記ゲート信号の電位は少なくとも2レベル以上あり、前記第2の期間の前記ゲート信号のレベルはフィールドごとに切り替えられることを特徴とする。

(2) 一対の基板間に液晶が封入され、前記一対の基板のうち一方の基板上に複数のゲートラインと複数の信号ラインがマトリクス状に配列され、当該配列の各交点部分で、該ゲートラインにゲートが接続され、該信号ラインと該液晶との間に接続されたトランジスタを有する画素を配置してなるアクティブマトリクス型液晶表示装置の駆動方法において、前記ゲートラインにより前記トランジスタのゲートに印加されるゲート信号は該トランジスタを導通状態にする第1の期間と非導通状態にする第2の期間を有し、該第2の期間の前記ゲート信号の電位は少なくとも2レベル以上あり、前記第2の期間の前記ゲート信号のレベルはフィールドごとに切り替えられ、前記第2の期間のゲート信号の電位の中で最も高い電位と最も低い電位の差は、前記液晶のスレッショールド電圧の2倍以上であることを特徴とする。

【実施例】

第1図は、本発明の実施例であり、ゲートラインの信号の時間変化を示している。ゲートラインの信号のうちトランジスタを非導通状態にする期間の電位が2レベル以上あるものである。フレーム周期の半分の期間6ごとに非導通状態期間3、7の電位4、5が変化している。そのため、トランジスタのゲートと、ソースまたはドレインがショートしてしまい、トランジスタのゲートにかか

るはずの信号が、直接液晶にかかってしまう場合においても、トランジスタを非導通状態にする期間の信号の電位が常に振幅しているため液晶が交流駆動されることとなる。第4図は、液晶の電圧－コントラスト特性を示しグラフである。縦軸はパネルの光透過率、横軸は印加電圧を示す。液晶に全く電圧を印加しない時のパネルの透過率を100%とし、充分大きな電圧24を印加した時の透過率を0%とし、透過率が90%の点19を与える電圧18を液晶のスレッシュホールド電圧という。先に記載したゲート信号の非導通状態期間3、7の電位4と5の差が、この液晶のスレッシュホールド電位の2倍以上となっているのは、第3図における13、14で表わされる液晶層と絶縁膜12との間にかかるDCカットをしたコモン電位32と、ゲート信号1の電位差が液晶のスレッシュホールド電位以上となるように行なっている。それによって液晶は、スレッシュホールド電圧以上の電圧で交流駆動される。ノーマリーホワイトタイプの液晶では欠陥画素を目だちに黒または灰色にすることができる。

第5図は、トランジスタのゲート電圧リーク電流の関係を示したグラフである。横軸は、ソースとゲートの間の電圧、縦軸は、トランジスタのソースとドレインの間を流れる電流を示している。ゲートに加えられる信号のうちトランジスタを導通状態にする期間の電位は、グラフ上では28で表わされる。又第1図の電位4、5に対応する電位は、グラフ上では27、26で表わされ、27、26の両方ともトランジスタは、リークせず、画素の信号を充分保持出来るので表示状態は、従来のゲート信号の場合と変わらない。

〔発明の効果〕

以上述べた様に、トランジスタを非導通状態にする期間の信号の電位がフィールドごとに切り替えられる。その結果、トランジスタのゲートと、ソースまたはドレインがショートしてしまい、トランジスタのゲートラインにかかるはずの信号が、直接液晶にかかってしまう場合においても、トランジスタを非導通状態にする期間の信号の電位が常に振幅しているため液晶が交流駆動されることとなる。したがって、液晶に直接電圧がかからなくなり、液晶が破壊されにくくなって、液晶の寿命が長くなるという効果を有する。

また、非導通時ゲート信号の電位の中で最も高い電位と最も低い電位の差は、前記液晶のしきい値電圧の2倍以上であるので、トランジスタのゲートラインにかかるはずの信号が、直接液晶にかかってしまい液晶パネルに欠陥が生じてしまう場合があるがこの場合においても、液晶には、つねにしきい値以上の電圧がかかるので、目だち易い白い欠陥をなくし、目だちに黒または灰色の欠

陥にすることができるという効果を有する。

【図面の簡単な説明】

第1図は、本発明の実施例を示すもので、トランジスタのゲートに印加される信号の時間変化を示したものである。

第2図は、従来のゲート信号の時間変化を示したものである。

第3図は、アクティブマトリクス液晶パネルの一面素の電氣的等価回路を示したものである。

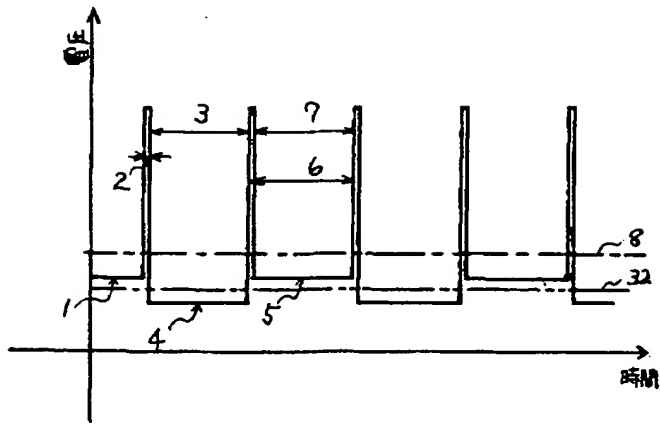
第4図は、液晶パネルの印加電圧に対する透過率を示したものである。

第5図は、各画素のトランジスタの特性を示したもので、横軸は、ソースに対するゲート電圧を示し、縦軸は、ソース・ドレイン間を流れる電流を表わしている。

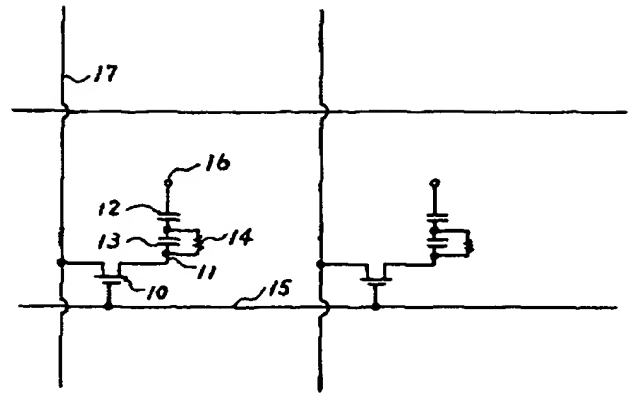
- 1……ゲートライン信号
- 2……トランジスタを導通状態になる期間
- 3……トランジスタが非導通状態になる期間
- 4……期間3のゲートライン信号の電位
- 5……期間7のゲートライン信号の電位
- 6……フレーム周期の半分の期間、フィールド
- 7……トランジスタが非導通状態になる期間
- 8……上側基板の電極電位
- 9……トランジスタが非導通状態になる期間の電位
- 10……トランジスタ
- 11……画素
- 12……絶縁膜
- 13……液晶層の容量分
- 14……液晶層の抵抗分
- 15……ゲートライン
- 16……上側基板の電極
- 17……ソースライン
- 18……液晶のスレッシュホールド電圧
- 19……透過率90%の点
- 20……透過率10%を与える電圧、サチュレート電圧
- 21……透過率10%の点
- 22……液晶に充分電圧を加えた時の透過率
- 23……液晶に電圧を加えない時の透過率
- 24……充分高い電圧
- 25……トランジスタの電圧－電流特性
- 26……5に対応した電位
- 27……4に対応した電位
- 28……トランジスタが導通状態の期間のゲートライン電位
- 29……フィールド周期
- 30……ゲート信号の実効電圧
- 31……従来例のゲート信号
- 32……DCカットしたコモン電位

(4)

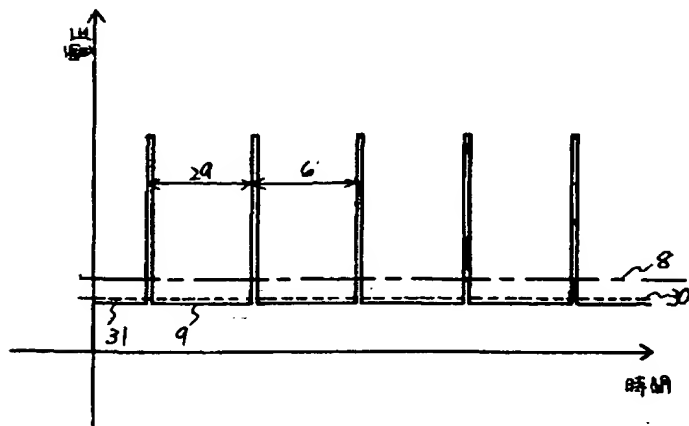
【第1図】



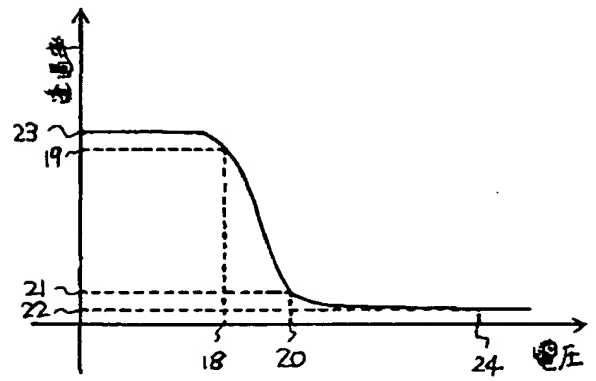
【第3図】



【第2図】



【第4図】



【第5図】

